

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039890

(43)Date of publication of application : 12.02.1999

J1017 U.S. PTO
10/052519
01/23/02

(51)Int.Cl. G11C 16/04

(21)Application number : 10-128399 (71)Applicant : EON SILICON DEVICES INC

(22)Date of filing : 12.05.1998 (72)Inventor : CHEN CHIH-LIANG
CHAN I-CHUIN PETER
YU JAMES C
SU CHIEN-SHENG
KAO CHAO-VEN

(30)Priority

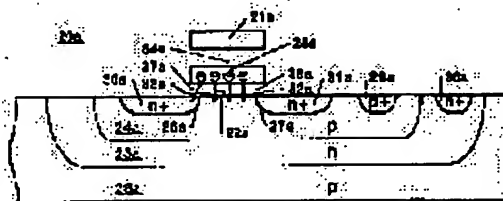
Priority number : 97 854619 Priority date : 12.05.1997 Priority country : US

(54) ERASING OF FLASH EEPROM MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for erasing an improved flash EEPROM memory device.

SOLUTION: According to this erasing method, a first voltage of one polarity is impressed to the source region 30a, first and second semiconductor regions 25a and a second voltage of the inverse polarity is simultaneously impressed to the gate. In this case, charges on the floating gate 28a are caused to perform the tunnel operation to both first region and source region 30a via the floating gate dielectric film 33a. In this timing, charges maintained by the floating gate 28a are discharged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-39890

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁶
G 1 1 C 16/04

識別記号

F I
G 1 1 C 17/00

6 2 1 C

審査請求 未請求 請求項の数14 OL (全 6 頁)

(21) 出願番号 特願平10-128399
(22) 出願日 平成10年(1998) 5月12日
(31) 優先権主張番号 08/854619
(32) 優先日 1997年5月12日
(33) 優先権主張国 米国 (US)

(71) 出願人 598061531
イーオン シリコン デバイシス, イン
コーポレイテッド
EON SILICON DEVICE
S, INC.
アメリカ合衆国, カリフォルニア
95054, サンタ クララ, グレイト
アメリカ パークウェイ 4800, スイー
ト 202
(74) 代理人 弁理士 小橋 一男 (外1名)

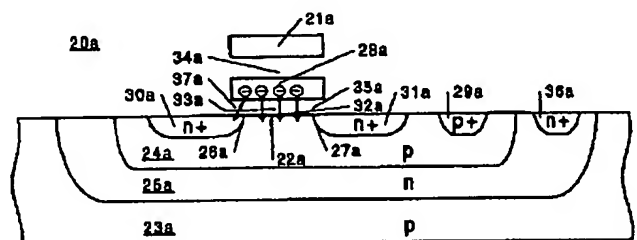
最終頁に続く

(54) 【発明の名称】 フラッシュEEPROMメモリの消去方法

(57) 【要約】

【課題】 改良したフラッシュEEPROMメモリ装置の消去方法を提供する。

【解決手段】 本発明消去方法によれば、ソース領域及び第一及び第二半導体領域へ一方の極性の第一電圧を印加し、且つ同時に、ゲートへ反対極性の第二電圧を印加し、その際にフローティングゲート上の電荷をフローティングゲート誘電膜を介して第一領域及びソース領域の両方へトンネル動作させ、その際にフローティングゲートによって維持されている電荷を除去する。



(2)

【特許請求の範囲】

【請求項 1】 反対導電型の第二半導体領域内に形成してある一方の導電型の第一半導体領域と、前記第一半導体領域内に形成されている反対導電型のソース及びドレイン領域と、(1) 前記第一領域の上側に存在しており且つ前記第一領域から及び前記ソース及びドレイン領域からフローティングゲート誘電膜によって電氣的に分離されている電荷を維持するフローティングゲート及び

(2) 前記フローティングゲートの上側で且つそれから絶縁層によって電氣的に分離されている制御ゲートを包含するゲートとを有する電氣的に消去可能でプログラム可能なリードオンリ非揮発性半導体メモリの電氣的消去方法において、

前記ソース、第一及び第二領域へ一方の極性の第一電圧を印加し、

前記制御ゲートへ反対極性の第二電圧を同時に印加し、その際に前記フローティングゲート上の電荷が前記フローティングゲート誘電膜を介して前記第一領域及びソース領域の両方へトンネル動作し、その際に前記フローティングゲートによって維持されている電荷を除去する、上記各ステップを有することを特徴とする方法。

【請求項 2】 請求項 1 において、前記第一電圧が前記ドレイン領域へも印加されることを特徴とする方法。

【請求項 3】 請求項 1 において、前記第一領域が P 型であり且つ前記ソース及びドレイン領域が N 型であることを特徴とする方法。

【請求項 4】 請求項 1 において、前記第一領域が N 型であり且つ前記ソース及びドレイン領域が P 型であることを特徴とする方法。

【請求項 5】 請求項 3 において、前記第一電圧が正であり且つ前記第二電圧が負であることを特徴とする方法。

【請求項 6】 請求項 4 において、前記第一電圧が負であり且つ前記第二電圧が正であることを特徴とする方法。

【請求項 7】 請求項 5 において、前記第一電圧の絶対値が前記第二電圧の絶対値よりも一層小さいことを特徴とする方法。

【請求項 8】 請求項 6 において、前記第一電圧の絶対値が前記第二電圧の絶対値よりも一層小さいことを特徴とする方法。

【請求項 9】 請求項 5 において、前記第一電圧が約 1.5 V より小さな正の電圧であり且つ前記第二電圧が約 -1 と -1.5 V との間であることを特徴とする方法。

【請求項 10】 請求項 6 において、前記第一電圧が約 -1.5 V より小さな負の電圧であり且つ前記第二電圧が約 1 と 1.5 V との間であることを特徴とする方法。

【請求項 11】 請求項 5 において、前記第一電圧が約 3 と 7 V との間であり且つ前記第二電圧が約 -9 と -13 V との間であることを特徴とする方法。

【請求項 12】 請求項 6 において、前記第一電圧が約 -3 と -7 V との間であり且つ前記第二電圧が約 9 と 13 V との間であることを特徴とする方法。

【請求項 13】 請求項 1 において、前記半導体物質の第二領域が前記一方の導電型の基板内に形成されていることを特徴とする方法。

【請求項 14】 請求項 13 において、前記基板が接地されていることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はフラッシュ EEPROM メモリに関するものであって、更に詳細には、フラッシュ EEPROM メモリの消去方法に関するものである。

【0002】

【従来の技術】 フラッシュ EEPROM メモリは、電氣的に消去可能でありプログラム可能なリードオンリメモリ装置であって、それは半導体非揮発性メモリの 1 つのタイプである。複数のフラッシュメモリセルからなるアレイ内に格納されているデータは、パワーがターンオフされた場合にも維持される。該データはスタックされた即ち積層型のゲートメモリセルのフローティングゲート内に格納される電子によって表わされる。このタイプの装置は、米国特許第 4,698,787 号、第 5,077,691 号、第 5,313,086 号、第 5,521,886 号に記載されており、それらは全て引用によって本明細書に取込む。

【0003】 EEPROM のメモリセルは、フローティングゲート内に電子を注入することによってプログラム即ち書込みが行なわれる。メモリセルを消去するためには、フローティングゲートから電子が除去される。フラッシュ EEPROM は、UV-EPROM とは異なっている。何故ならば、UV-EPROM は、フローティングゲートから電子を除去するために紫外線を使用して消去を行なうが、フラッシュ EEPROM は、オンチップ消去回路を使用して電氣的に消去が行なわれる。典型的に、両方の種類の EEPROM は、フローティングゲート内にホットエレクトロンを注入することにより同一の態様でプログラム即ち書込みが行なわれる。「DINOR」フラッシュメモリと呼ばれる 1 つのタイプのフラッシュメモリ装置は、プログラミング手順と消去手順とを逆にし、ファウラーノルトハイムトンネル動作を介してプログラミング期間中に電子を除去する。消去期間中、電子はファウラーノルトハイムトンネル動作を介してフローティングゲート内に注入される。

【0004】 従来技術においては、スタックゲート即ち積層型ゲートのフラッシュ EEPROM メモリ用に多数の消去技術が使用されていた。製造プロセス及び装置技術がサブミクロン領域内に進化するに従い、消去技術は、ソースへ大きな正の電圧を印加させる一般的な態様

(3)

からフローティングゲートから電氣的に分離されている制御ゲートへ大きな負の電圧を印加させると共に、同時に、中程度の正の電圧をソースへ印加させる異なる技術へ展開されている。この後者の技術は負ゲート対ソース消去 (NGSE) として知られている。

【0005】図1は従来技術のフラッシュEEPROMメモリセルを示しており、それはプログラミング即ち書き込みのためにホットエレクトロンを使用し且つ消去のために負の制御ゲート電圧を使用するファウラーノルトハイムトンネル動作を使用する。該メモリセルは動作期間中に接地電圧に維持されるP型基板10上に製造される。該メモリセルを消去するためには、NGSE技術が使用され、その場合に、約-11Vの大きな負の電圧 V_G が絶縁膜18の上側に存在している制御ゲート11へ印加され、同時に、約5Vの中程度の正の電圧 V_S が、n-領域15と共にn+領域12を構成しているソース領域へ印加される。ドレイン領域8は消去期間中にフローティング状態とされる。フローティングゲート14とソース領域12、15との間に位置されているフローティングゲート二酸化シリコン層19を横断しての垂直電界は、電子をして誘電体層19からトンネル動作させる。

【0006】この従来技術の消去方法に関しては2つの顕著な問題が存在している。第一に、ソース接合16は、図1に示したように、高度にドーブしたn+ソース領域12を取囲む付加的な軽度ドーブしたn-拡散領域15を必要とする場合がある。この付加的な拡散領域は、新たな製造技術が出現する場合にメモリセルをより小さな装置へスケールダウンする場合に制限となる場合がある。第二に、ソース接合16が消去期間中に逆バイアスされると、幾らかの電流が結合されているソース領域12及び15から基板10内へ流れることとなる。この電流はバンド対バンド (BB) トンネル動作電流と呼ばれている。BBトンネル動作電流の大きさは、ソース領域12へ印加されている逆バイアス電圧の大きさに依存する。制御ゲート11が負の電圧にバイアスされている場合には、BBトンネル動作電流のホール成分 (「ホットホール」と呼ばれる) は該電界及び衝撃半導体・誘電体界面17及び誘電体層19に追従する傾向となる。これらのホットホールは、不所望の界面状態を発生させることによってこの界面17に損傷を与える場合がある。更に、これらのホットホールのうちの幾つかが実際に誘電体層19内に注入されるのに十分なエネルギーを有している場合があり、その場合にそれらはトラップされる。その際に装置が劣化される場合がある。従って、NGSE技術はホールのトラップ及び界面状態を発生させ、それらがウィンドウ開放、電荷喪失、誤った消去及び強調されたゲート擾乱等の信頼性問題を発生させる。

【0007】これらの界面状態及びトラップされたホールは図1に示したソースPN接合16から夫々のチャン

ネル領域13内へ横方向にそれ自身分布することとなる。このトラップされたホール分布のピーク濃度及び幅は、消去動作期間中の制御ゲートバイアス及び接合バイアスの両方に依存する。長チャンネル装置の場合には、このホール分布の幅は全チャンネル長さとの相対的に小さく、且つその装置信頼性及び性能に与える悪影響は小さい。然しながら、深いサブミクロン装置の場合には、この分布幅はチャンネル長のかなりの割合となる。そうであるから、その装置信頼性及び性能に与える悪影響はより顕著なものである。

【0008】図2を参照すると、Pウエル24内に形成されているメモリセルを使用する別の従来の消去技術が示されている。P+領域29を使用してコンタクトさせることの可能なPウエル24がnウエル25内に形成されている。nウエル25は、n+領域36を介してコンタクトすることが可能であり、p型基板23内に存在している。メモリセル20を消去するためには、約-11Vの大きな負の電圧 V_G が、上述した従来技術において行なわれていたように、制御ゲート21へ印加される。制御ゲート21は絶縁膜34の上側に存在しており、絶縁膜34はフローティングゲート28の上側に存在している。然しながら、同時に、約5Vの中程度の正の電圧 V_B がp+コンタクト領域29を介してp型チャンネル領域22へ印加される。典型的に、p型基板23は図示したように接地されている。p+コンタクト領域29を介してのp型チャンネル領域22への正の電圧の印加は、nウエル25の内側に分離されたpウエル24を形成することを必要とする。消去期間中に、ソース領域30及びドレイン領域31はpウエル24のバイアス電圧より低い電圧でフローティング状態とされる。この電圧はソース及びドレイン領域30及び31の幾何学的形状及びドレイン及びソース領域からのリーク電流の量に依存する。

【0009】この2番目の従来の消去技術は負ゲートチャンネル消去即ち「NGCE」と呼ばれ、その場合には、フローティングゲート28内の電子がフローティングゲート誘電膜33を横断して垂直方向にチャンネル領域22内へトンネル動作し、その状態を垂直下方向に向けた矢印で示してある。ソース領域30とpウエル24との間には電氣的バイアスが存在せず且つソース領域30はフローティング即ち浮遊状態にあるので、BB電流が存在することはない (何故ならば、それはNGSE技術を使用するからである)。然しながら、このNGCE技術がスタックゲート即ち積層型ゲートのフラッシュメモリと共に使用される場合には、その他の信頼性問題が発生する場合がある。例えば、消去動作はチャンネル領域22にわたって行なわれるので、界面状態発生及び酸化物トラップがこのチャンネル領域に沿って分布されることとなる。このような濃度の界面状態及び酸化膜トラップはメモリセル読取電流を劣化させ、そのことは読取

(4)

速度を遅滞化させる場合があり且つ究極的に読取エラーを発生させる場合がある。フローティングゲート28の下側で且つドレイン接合27の上方に存在する酸化物層33の部分35におけるNGCEに起因するトラップは、更に、プログラミング期間中におけるホットエレクトロンの注入を遅滞化させる場合がある。

【0010】これらの従来の消去技術に関する技術的背景及び関連する装置信頼性問題は例えば以下の文献に記載されている。Haddad, et al. 「フラッシュメモリセルにおけるホールトラッピングに起因する劣化 (Degradation Due to Hole Trapping in Flash Memory Cell)」、IEEE・エレクトロニック・デバイス・レターズ、Vol. 10、No. 3、1989年3月、pp. 177-119; Chun, et al. 「フラッシュEPROM装置における消去誘発型損傷の横方向分布 (Lateral Distribution of Erase Induced Damage in Flash EPROM Device s)」、SRCテクコン (Techcon)、1996年9月; Chun, et al. 「フラッシュEPROM NMOSFET装置における消去誘発型ホールトラッピング及び界面トラップの横方向分布 (Lateral Distribution of Erase Induced Hold Trapping and Interface Traps in Flash EPROM NMOSFET Device s)」、IEEE・セミコンダクタ・インターフェース・スペシャリスト・コンフェレンス、1996年; Witters, et al. 「トンネル酸化膜フローティングゲートEPROM装置の劣化及び薄いゲート酸化膜の高電界電流誘起型劣化との相関 (Degradation of Tunnel-Oxide Floating Gate EPROM Devices and Correlation With High-Field-Current-Induced Degradation of Thin Gate Oxide s)」、IEEE・トランザクションズ・オン・エレクトロン・デバイス、Vol. 36、No. 9、1989年9月、1663頁; Kobayashi, et al. 「3Vセクター消去可能DINORフラッシュメモリ用のメモリアレイアーキテクチャ及びデコード方法 (Memory Array Architecture and Decoding Scheme for 3V Only Sector Erasable DINOR Flash Memory)」、IEEE・ジャーナル・オブ・ソリッドステートサーキット、Vol. 29、No. 4、1994年4月、pp. 454-458等である。

【0011】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良したフラッシュEEPROMメモリ装置の消去方法を提供することを目的とする。

【0012】

【課題を解決するための手段】従来の消去技術に関連する上述した問題を回避するために、本発明はフラッシュEEPROMメモリ装置を消去する新規な技術を提供している。このようなメモリ装置のメモリセルは、反対導電型の第二領域内に形成されている一方の導電型の第一半導体領域と、該第一半導体領域内に形成されている反対導電型のソース及びドレイン領域と、ゲートとを有している。該第二領域は該一方の導電型の基板内に形成されている。該ゲートは第一半導体領域の上側に存在しており電荷を維持するフローティングゲートを有している。該フローティングゲートは、第一半導体領域から及びソース及びドレイン領域からゲート誘電体層によって電気的に分離されている。制御ゲートはフローティングゲートの上側に存在しており、更に、絶縁層によってフローティングゲートから電気的に分離されている。フローティングゲートと第一半導体領域との間の誘電体物質はSiO₂とすることが可能であるが、フローティングゲートと制御ゲートとの間の誘電体物質は、しばしば、例えばONO（酸化膜-窒化膜-酸化膜）のような複合層である。

【0013】本発明の消去方法は、(1) 一方の極性の第一電圧をソース及び第一及び第二半導体領域へ印加し、且つ同時に反対極性の第二電圧を制御ゲートへ印加し、その際にフローティングゲート上の電荷がフローティングゲート誘電膜を介して第一領域及びソース領域の両方へトンネル動作し、その際にフローティングゲートによって維持されている電荷を除去する、上記各ステップを包含している。好適には、ドレイン領域はフローティング状態のままとされ、且つ基板は接地される。

【0014】負ゲート対チャンネル及びソース消去 (NGCSE) と呼ばれる本発明の消去方法は、BBトンネル動作電流によって発生される信頼性問題を実質的に減少させ且つ実用的な目的のためには取除いている。本発明方法は、更に、従来の消去技術を使用する場合に問題を発生するホールトラップ及び界面状態発生によって発生される装置劣化の問題も減少させている。NGCSEは、実際に、従来のNGCE技術及びNGSE技術よりも一層高速である。

【0015】

【発明の実施の形態】図3を参照すると、p基板23a内に形成されている深いnウェル25aによって取囲まれている分離型pウェル24aが設けられており、消去動作は、本発明に従って、制御ゲート21aへ負のバイアス電圧を印加させ、同時に、ソース領域30a、分離されているpウェル24a（コンタクト領域29aを介

(5)

し) 且つ第二半導体領域25a(コンタクト領域36aを介し)へ正のバイアス電圧を印加させることによって達成される。領域24a及び25aは消去期間中に電氣的に短絡状態とされる。ドレイン領域31aは、好適には、フローティング状態のままとされる。基板23aは接地される。制御ゲート21a上の負の電圧は、約-1Vと-15Vとの間であり、好適には、約-9Vと-13Vとの間である。ソース領域30a、分離されているpウエル24a及び第二領域25a上の正のバイアス電圧は、約15Vより低く、好適には、約3Vと7Vとの間である。本発明の消去方法の特定の例では、制御ゲート21a上において-11Vを使用し且つソース領域30a、pウエル24a及び第二領域25a上において5Vを使用している。

【0016】この消去技術を使用すると、フローティングゲート28a内部に格納されている電荷は、誘電体層33aを介してトンネル動作し且つソース領域30a及び分離されているpウエル24a内へ放電する。同一のバイアス電圧がソース領域30aと分離されているpウエル24aの両方へ印加されているので、両方の領域は消去動作期間中に実質的に等しい電圧状態に維持される。従って、ソース接合26aを横断して実質的に電圧差が存在せず、従って実質的にBBトンネル動作電流が存在せず、従来のNGSE消去技術期間中に発生する上述した信頼性問題を取除いている。

【0017】所望により、ドレイン領域31aは実質的に等しい電圧状態にあるソース領域30a、pウエル24a、第二領域20aと結合させることが可能である。このように、フローティングゲート28a上の電荷は、ドレイン領域31a及びフローティングゲート28aの間のオーバーラップに位置しているドレイン領域31aとフローティングゲート28aとの間の誘電膜33aの部分35aを介してトンネル動作する。

【0018】本発明の消去技術は、従来技術のBBトンネル動作電流に関連する問題を実質的に取除いている。何故ならば、分離されているpウエル24aとソース領域30aとの間には実質的に電圧差は存在しないからである。本発明におけるようにソース電圧にバイアスされている分離されているpウエルを有するものではない従来のNGSE技術は、ソース接合26を横断しての電圧勾配のためにBBトンネル動作を回避することは不可能である。本発明の消去技術においては、消去動作期間中のトンネル動作する電子によって発生される損傷は半導体・誘電体界面32a、チャンネル領域22a上方の誘電体層33aの部分及びソース領域30aとフローティングゲート28aのオーバーラップにおける誘電体層33aの部分37aに沿って分布される。

【0019】セルが所定の V_T (スレッシホールド電圧)へ消去される場合には、フローティングゲート28aから取除かれる電子の量は使用される消去技術に拘ら

ずに同一である。全ての電子が酸化物の単一の点を介して除去されるものと仮定すると、形成される全ての欠点はその点に集中される。電子が本発明に基づいて大きな面積の酸化物にわたって除去される場合には、その結果発生する損傷は酸化物の各点において比較的より低いものである。本発明のNGCSEプロセス及び従来のNGCE方法の両方ともチャンネル領域22a上方の酸化膜を介して電子を除去するが、NGSEプロセスは、更に、それらのオーバーラップ領域においてフローティングゲート28aとソース領域30aとの間の誘導体層33aの部分37aを介しても電子を除去する。本発明のNGCSE技術はNGCEよりもより大きな酸化膜の区域を介して電子を除去するので、NGCSEによって発生される欠陥密度はNGCEによって発生されるものよりもより少ない。誘電体層33aの部分37aにおけるNGCSEによって発生される酸化膜損傷はメモリセル読取電流及びトランスコンダクタンスに実質的な悪影響を与えるものではない。従って、誘導体層33aのチャンネル部分22aにおいて及び半導体・誘電体界面32aに沿ってNGCSEによって発生される全体的な酸化膜損傷及び界面損傷は、同一の位置において従来のNGCE技術によって発生されるものよりもより少ない。従って、NGCSEは、NGCEよりも、メモリセル読取電流及びトランスコンダクタンスに与える悪影響はより少ない。

【0020】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、nチャンネル装置を使用する好適実施例はpチャンネル装置へ変更することが可能である。その場合には、電圧の全てが逆にされ、負の電圧は正の電圧になり且つ正の電圧は負の電圧となる。然しながら、本発明の消去技術は同一のままである。

【図面の簡単な説明】

【図1】 従来のNGSE消去技術におけるフラッシュEEPROMセルの概略断面図。

【図2】 従来のNGCE消去技術において使用されるフラッシュEEPROMメモリセルの概略断面図。

【図3】 本発明に基づく消去技術の効果を示しており図2と対応する参照番号を使用している図2と同一の構造を示した概略断面図。

【符号の説明】

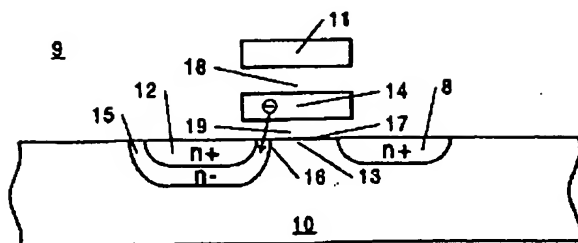
- 21a 制御ゲート
- 22a チャンネル領域
- 23a p基板
- 24a 分離されているpウエル
- 25a 深いnウエル
- 25a 第二半導体領域
- 26a ソース接合

(6)

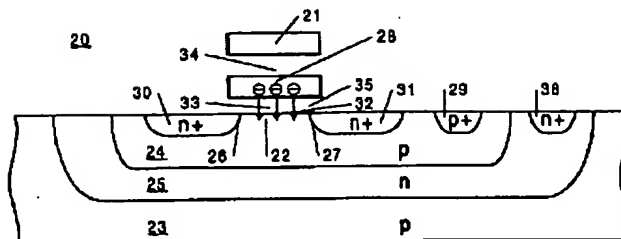
28a フローティングゲート
29a, 36a コンタクト領域
30a ソース領域

31a ドレイン領域
33a 誘電体層

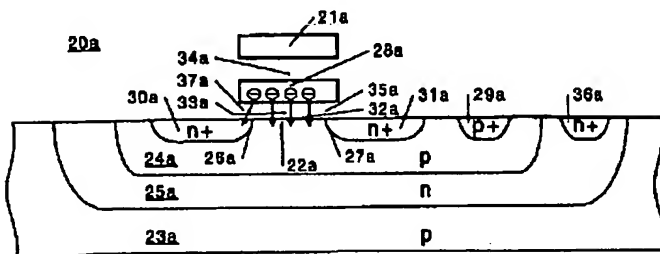
【图 1】



【図 2】



【図 3】



フロントページの続き

(72) 発明者 チーリャン チェン
アメリカ合衆国， カリフォルニア
95070， サラトガ， ジブシー ヒル
ロード 15020

(72) 発明者 アイーチュイン ピーター チャン
アメリカ合衆国， カリフォルニア
95121， サン ノゼ， アボーン ロー
ド 2175， アパートメント 237

(72) 発明者 ジェームズ シー、 ユ
アメリカ合衆国， カリフォルニア
95120, サン ノゼ, バレイ クエイ
ル サークル 1134

(72) 発明者 チエン-シェン ス
アメリカ合衆国， カリフォルニア
95070, サラトガ, カークモント ド
ライブ 20300

(72) 発明者 チャオーベン カオ
アメリカ合衆国， カリフォルニア
94303, バロ アルト, ローレンス
レーン 988